

60V 半桥栅极驱动器

产品概述

LN8362 是一款可驱动高端和低端 N 沟道 MOSFET 栅极驱动芯片，可用于同步降压、升降压和半桥拓扑中。

LN8362 内部集成欠压锁定电路可以确保 MOSFET 在较低电源电压下处于关断状态，用以提高转换效率。集成使能关断功能，可以同时关断 DRVH、DRVL 的输出。

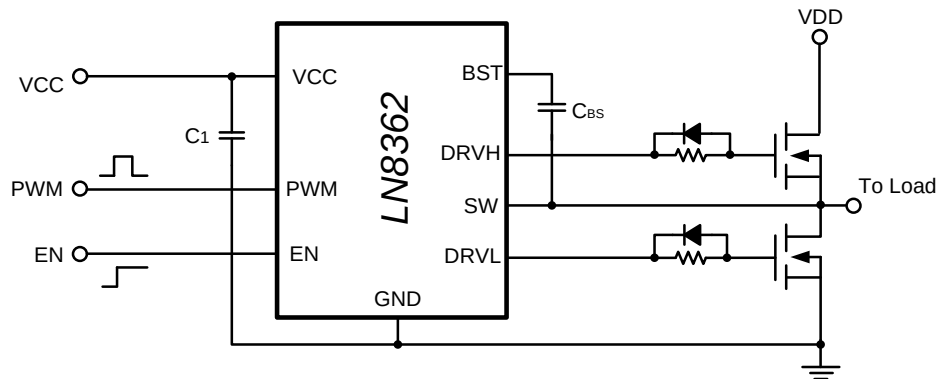
LN8362 内建死区自适应功能，可以适应更多规格 MOSFET，同时简化设计的繁琐。

LN8362 采用 SOP8/ESOP8、DFN2*2-8、DFN3*3-8 等封装形式，给方案设计带来更多的选择。

应用领域

- 半桥/全桥转换器
- 同步降压、升降压拓扑
- 电子烟、无线充 MOSFET 驱动器

典型应用电路



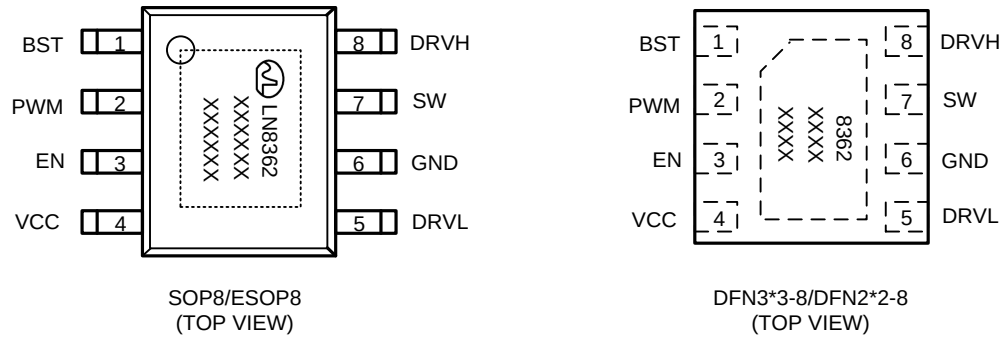
- 1、C1为滤波电容，可选择：1~10M；C_{BS}为自举电容，可选择：0.1~1μF。
- 2、输出端电阻和二极管可根据实际情况省略。

订购信息

LN8362①②-③

数字项目	符号	描述	数字项目	符号	描述
①	封装信息:		②	产品包装卷带信息:	
	S	SOP8 封装		R	正向编带
	E	ESOP8 封装		L	反向编带
	D	DFN2*2-8 封装	③	G	绿料
	Q	DFN3*3-8 封装			

引脚配置



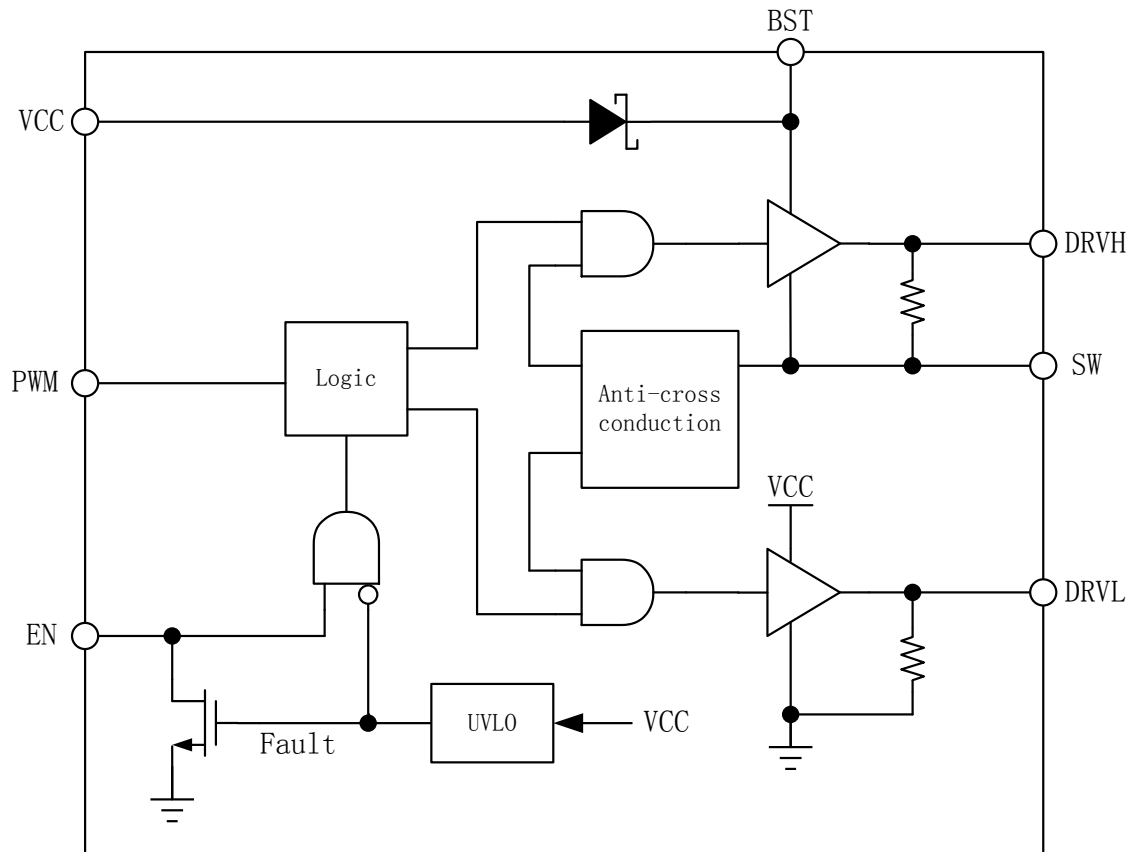
符号	描述
第一行	产品系列
第二行	晶圆信息
第三行	质量信息，用于质量追踪
	我司 LOGO!

引脚信息

引脚号	引脚名	功能
1	BST	高边侧悬浮自举电源端，和SW端通过自举电容相连。
2	PWM	控制输入端： PWM = High – DRVH is high, DRVH is low. PWM = Low – DRVH is low, DRVH is high.
3	EN	使能端： EN=高 芯片开启 EN=低 芯片关断
4	VCC	电源输入端，外接至少1uF旁路电容到地。
5	DRVH	低边侧驱动输出端，连接低边侧MOSFET栅端。
6	GND	接地。
7	SW	高端悬浮地。连接到高边侧MOS源端和低边侧MOS漏端。
8	DRVH	高边侧驱动输出端，连接高边侧 MOSFET 栅端。
9	Exposed Pad	散热焊盘，接地

备注：DFN3*3-8、DFN2*2-8 和 ESOP8 散热片和芯片内部 GND 相连，建议外部连接到 GND。

■ 功能框图



■ 绝对最大额定值

项目	符号	极限范围	单位
VCC耐压	V_{VCC}	-0.3~16.5	V
SW耐压	V_{SW}	-10~65	V
BST耐压	V_{BST}	-0.3~ $V_{SW}+16.5$	V
DRVH耐压	V_{DRVH}	$V_{SW}-0.3\sim V_{BST}+0.3$	V
DRVL耐压	V_{DRVL}	-0.3~ $V_{CC}+0.3$	V
EN耐压	V_{EN}	-0.3~16.5	V
PWM耐压	V_{PWM}	-0.3~16.5	V
存储温度范围	T_{STG}	-40~150	℃
工作结温	T_J	-40~150	℃
ESD HBM模式	V_{ESD}	2K	V

注意: 超过额定参数所规定的范围将对芯片造成损害, 无法预料芯片在额定参数范围外的工作状态, 而且若长时间工作在额定参数范围外, 可能影响芯片的可靠性。

电学特性参数 (若无其它说明, $V_{CC}=15V$, $T_A=25^{\circ}C$)

符号	项目	条件	最小	典型	最大	单位
VCC supply & BST						
V_{CC}	VCC 工作电压		4.0	-	15	V
V_{CC_ON}	VCC 启动电压	VCC rising	3.6	3.9	4.2	V
V_{CC_UVLO}	VCC 欠压保护电压	VCC falling	-	3.6	-	V
I_{QCC}	VCC 静态电流	EN=Low	-	0.5	0.8	mA
I_{CC}	VCC 工作电流	EN=High, PWM=100KHz pulse 3nF for DRVH & DRVL	-	10	13	mA
BST_{ON}	BST 启动电压	BST rising	2.7	3.0	3.3	V
BST_{UVLO}	BST 欠压保护电压	BST falling	-	2.7	-	V
PWM, EN input						
V_{PWMH}	PWM 高阈值	PWM rising	2.5	-	-	V
V_{PWML}	PWM 低阈值	PWM falling	-	-	0.8	V
V_{ENH}	EN 高阈值	EN rising	2.5	-	-	V
V_{ENL}	EN 低阈值	EN falling	-	-	0.8	V
I_{EN}	EN 偏置电流	Normal mode	0	5	10	uA
I_{EN_SINK}	EN 下沉电流	VCC UVLO	1	-	5	mA
$tpdh_{EN}$	EN 上升传输延迟	EN going from 0V to V_{ENH} to DRVL or DRVH rising to 10%	-	75	120	ns
$tpdl_{EN}$	EN 下降传输延迟	EN going from V_{ENL} to 0V to DRVL or DRVH falling to 90%	-	75	120	ns
内置二极管						
V_{DS-BST}	内置二极管导通电压		-	0.5	0.8	V
High side driver (BST-SW=15V)						
R_{DRVH_SOURCE}	DRVH 源电流输出电阻	BST-SW=15V, BST-SW=0.5V	-	2.0	3.0	Ω
R_{DRVH_SINK}	DRVH 沉电流输出电阻	BST-SW=15V, DRVH-SW=0.5V	-	1.2	1.8	Ω
tr_{DRVH}	DRVH 上升时间	BST-SW=15V, $C_{load}=3.0nF$	-	35	50	ns
tf_{DRVH}	DRVH 下降时间	BST-SW=15V, $C_{load}=3.0nF$	-	20	35	ns
$tpdh_{DRVH}$	DRVH 上升传输延时	BST-SW=15V, $C_{load}=3.0nF$	-	120	-	ns
$tpdl_{DRVH}$	DRVH 下降传输延时	BST-SW=15V, $C_{load}=3.0nF$	-	60	-	ns
$R_{DRVH-SW}$	DRVH 下拉电阻	DRVH to SW	-	36	-	k Ω
High side driver (BST-SW=5V)						
R_{DRVH_SOURCE}	DRVH 源电流输出电阻	BST-SW=5V, BST-SW=0.5V	-	3.0	5.0	Ω
R_{DRVH_SINK}	DRVH 沉电流输出电阻	BST-SW=5V, DRVH-SW=0.5V	-	2.0	4.0	Ω
tr_{DRVH}	DRVH 上升时间	BST-SW=5V, $C_{load}=3.0nF$	-	50	-	ns
tf_{DRVH}	DRVH 下降时间	BST-SW=5V, $C_{load}=3.0nF$	-	40	-	ns
$tpdh_{DRVH}$	DRVH 上升传输延时	BST-SW=5V, $C_{load}=3.0nF$	-	170	-	ns

tpdl _{DRVH}	DRVH 下降传输延时	BST-SW=5V, C _{load} =3.0nF	-	70	-	ns
R _{DRVH-SW}	DRVH 下拉电阻	DRVH to SW	-	36	-	kΩ
Low side driver (VCC=15V)						
R _{DRVL_SOURCE}	DRVL 源电流输出电阻	VCC=15V, VCC-DRVL =0.5V	-	2.0	3.0	Ω
R _{DRVL_SINK}	DRVL 沉电流输出电阻	VCC=15V, DRVL =0.5V	-	1.0	1.5	Ω
tr _{DRVL}	DRVL 上升时间	VCC=15V, C _{load} =3.0nF	-	30	45	ns
tf _{DRVL}	DRVL 下降时间	VCC=15V, C _{load} =3.0nF	-	18	30	ns
tpdh _{DRVL}	DRVL 上升传输延时	VCC=15V, C _{load} =3.0nF	-	100	-	ns
tpdl _{DRVL}	DRVL 下降传输延时	VCC=15V, C _{load} =3.0nF	-	50	-	ns
R _{DRVL-GND}	DRVL 下拉电阻	DRVL to GND	-	36	-	kΩ
Low side driver (VCC=5V)						
R _{DRVL_SOURCE}	DRVL 源电流输出电阻	VCC=5V, VCC-DRVL =0.5V	-	3.0	5.0	Ω
R _{DRVL_SINK}	DRVL 沉电流输出电阻	VCC=5V, DRVL =0.5V	-	1.5	3.0	Ω
tr _{DRVL}	DRVL 上升时间	VCC=5V, C _{load} =3.0nF	-	45	-	ns
tf _{DRVL}	DRVL 下降时间	VCC=5V, C _{load} =3.0nF	-	35	-	ns
tpdh _{DRVL}	DRVL 上升传输延时	VCC=5V, C _{load} =3.0nF	-	130	-	ns
tpdl _{DRVL}	DRVL 下降传输延时	VCC=5V, C _{load} =3.0nF	-	60	-	ns
R _{DRVL-GND}	DRVL 下拉电阻	DRVL to GND	-	36	-	kΩ

应用信息

输入输出信号逻辑

输入		输出	
EN	PWM	DRVH	DRVL
Low	Low	Low	Low
Low	High	Low	Low
High	Low	Low	High
High	High	High	Low

VCC 供电

LN8362 集成电源欠压保护功能，当电源电压低于欠压保护阈值时，芯片进入欠压保护，同时关断 DRVH 和 DRVL。

因为芯片驱动 MOSFET 时需要消耗较大的电流，所以应选用低 ESR 的 VCC 旁路电容，该电容至少为 1μF，并尽量靠近芯片的 VCC 和 GND 脚。

BST 自举电路

VCC 通过芯片内置的二极管为 BST 端外接的电容供电，该电容至少为 100nF，并尽量靠近芯片的 BST 和 SW 脚。

VCC 欠压保护

当 VCC 电压低于欠压保护阈值时，DRVH 和 DRVL 保持为低电平。DRVH 和 DRVL 端口内置下拉电阻，以防止外接 MOSFET 被误开启。

BST 欠压保护

当 BST 电压低于欠压保护阈值时，DRVH 保持为低电平。

EN 使能控制

EN 使能控制端用来关断功率管。当 EN 电压低于开启阈值时，DRVH 和 DRVL 保持为低电平；当 EN 电压高于开启阈值时，DRVH 和 DRVL 根据 PWM 信号切换电平。当芯片 VCC 电源欠压时，EN 端口被拉低到 GND。

PWM 控制

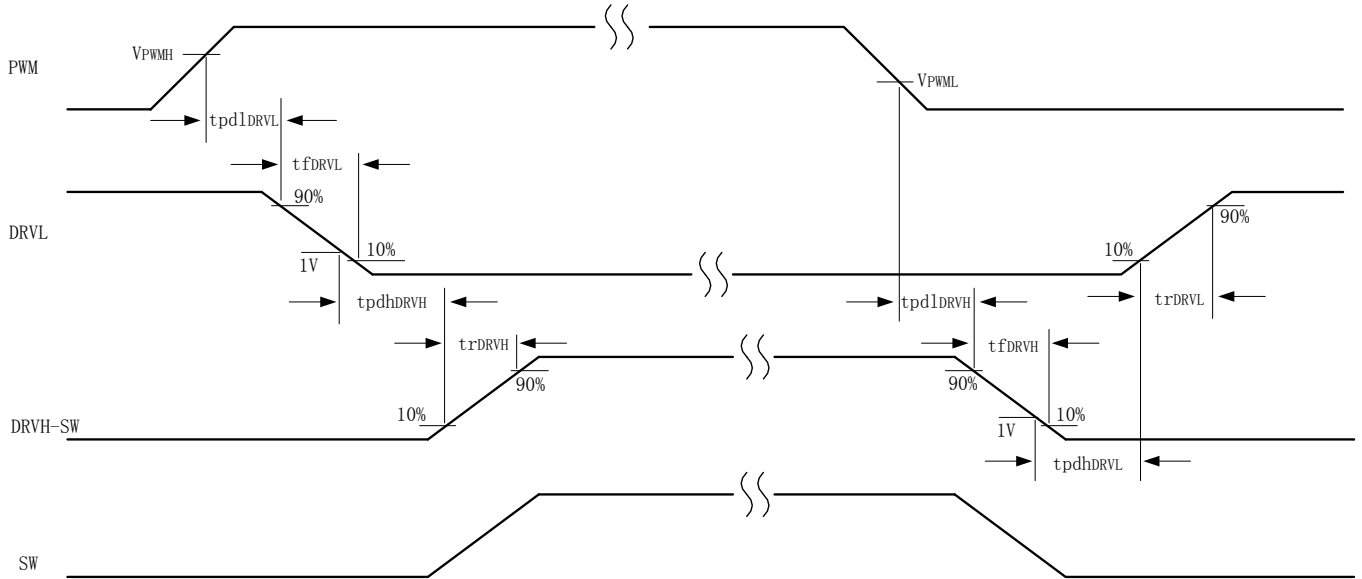
当 PWM 电压上升到高于 V_{PWMH} 并延迟 $tpdl_{DRVL}$ 后，DRVL 下降为低电平。为防止 DRVH 和 DRVL 同时为高电平，DRVL 下降到低于 1V 并延迟 $tpdh_{DRVH}$ 后，DRVH 才会上升为高电平。

当 PWM 电压下降到低于 V_{PWL} 并延迟 $tpdl_{DRVH}$ 后，DRVH 下降为低电平。为防止 DRVH 和 DRVL 同时为高电平，DRVH-SW 下降到低于 1V 并延迟 $tpdh_{DRVL}$ 后，DRVL 才会上升为高电平。

PCB 设计

在设计 PCB 时应遵循以下原则：

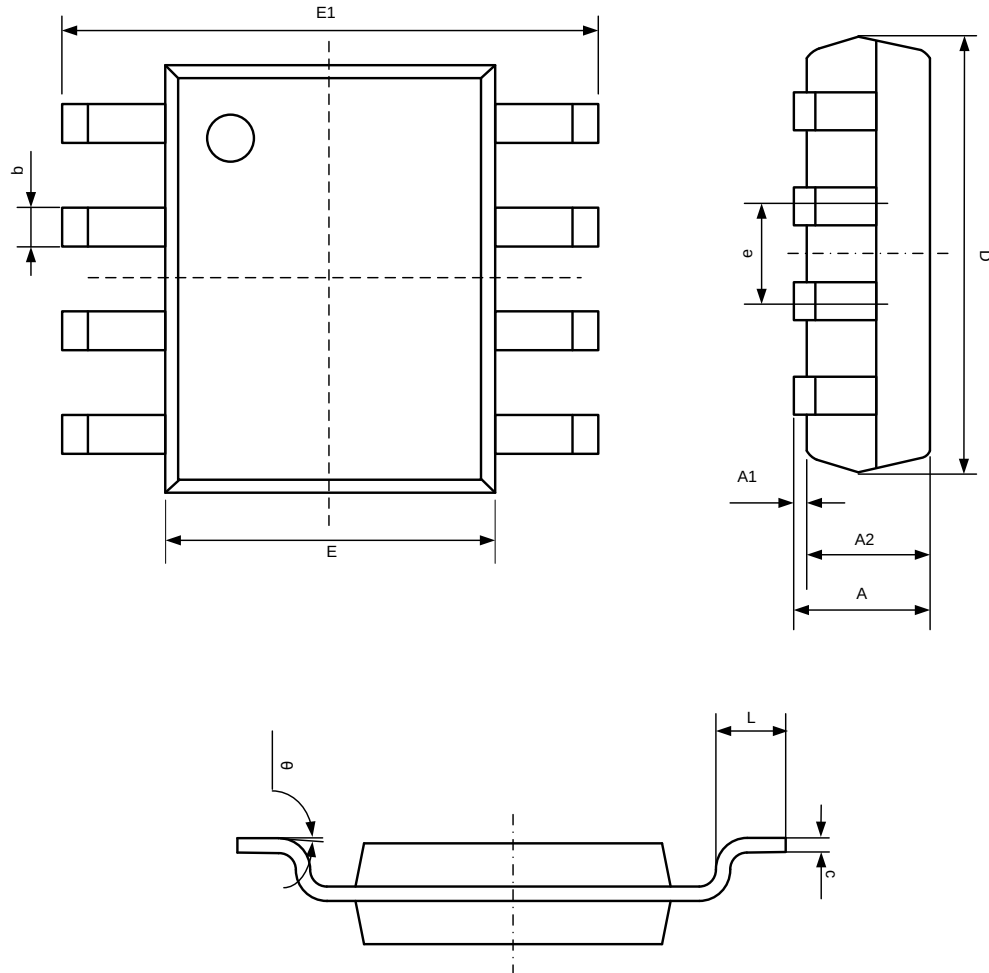
VCC 的旁路电容需要尽量靠近芯片的 VCC 和 GND。BST 的电容需要尽量靠近芯片的 BST 和 SW。当该电路用于较大功率的应用时，需要选用散热能力较好的 PCB，并控制芯片温度低于 150℃。



死区时间控制延时时序图

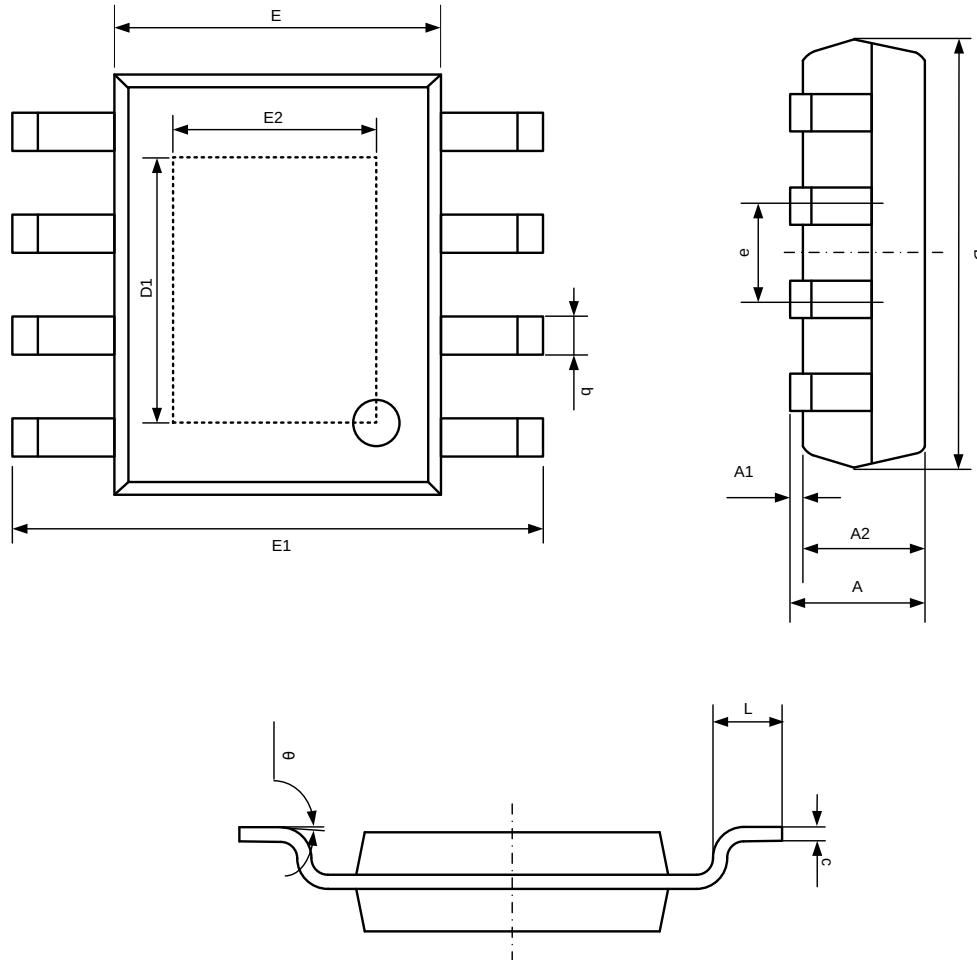
封装信息

● SOP-8



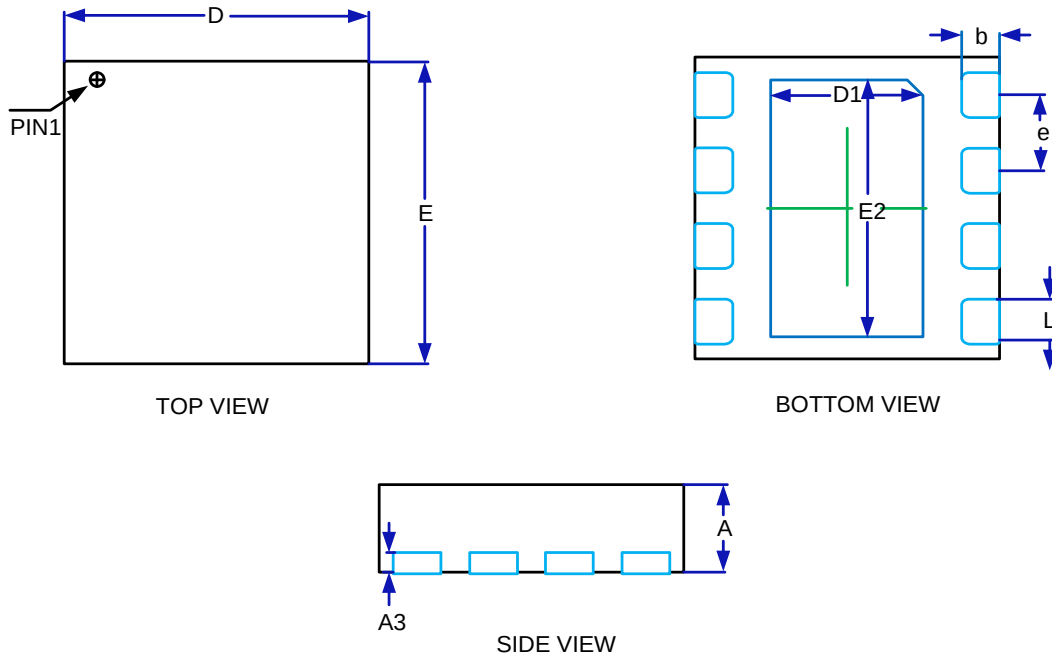
Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.007	0.010
D	4.700	5.100	0.185	0.200
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	1.270(BSC)		0.050(BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

● ESOP-8



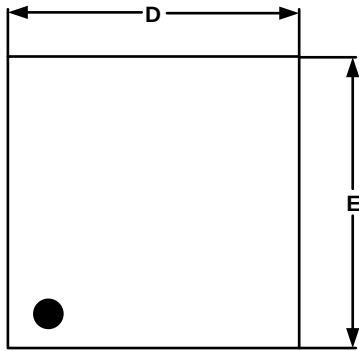
Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	1.350	1.750	0.053	0.069
A1	0.050	0.150	0.002	0.006
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.007	0.010
D	4.700	5.100	0.185	0.200
D1	3.202	3.420	0.126	0.134
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
E2	2.313	2.513	0.091	0.099
e	1.270(BSC)		0.050(BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

● DFN2*2-8

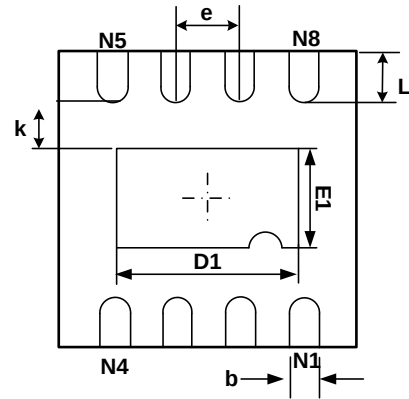


Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	0.527	0.577	0.021	0.023
A3	0.127REF		0.005REF	
b	0.20	0.30	0.008	0.012
D	1.9	2.1	0.075	0.083
E	1.9	2.1	0.075	0.083
D2	0.9	1.1	0.035	0.043
E2	1.6	1.8	0.063	0.071
e	0.50TYP		0.02TYP	
L	0.25	0.35	0.010	0.014

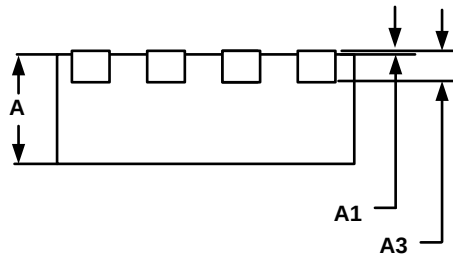
● DFN3*3-8



TOP VIEW



Bottom View



SIDE VIEW

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	0.700/0.800	0.800/0.900	0.028/0.031	0.031/0.035
A1	0.000	0.050	0.000	0.002
A3	0.203REF		0.008REF	
D	2.924	3.076	0.115	0.121
E	2.924	3.076	0.115	0.121
D1	2.300	2.500	0.091	0.098
E1	1.600	1.800	0.063	0.071
k	0.200MIN		0.008MIN	
b	0.200	0.300	0.008	0.012
e	0.500TYP		0.020TYP	
L	0.324	0.476	0.013	0.019